

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-321528

(43) Date of publication of application : 04. 12. 1998

(51) Int. Cl. H01L 21/205
C23C 16/44
C23C 16/46
H01L 21/285
H01L 21/31
H01L 21/3205

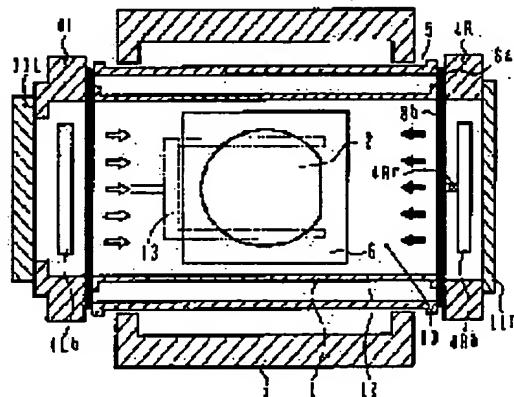
(21) Application number : 09-131872 (71) Applicant : HITACHI LTD
KOKUSAI ELECTRIC CO LTD
(22) Date of filing : 22. 05. 1997 (72) Inventor : HOSHINO MASAKAZU
OKAWA AKIRA
IKEDA FUMIHIDE
NISHIUCHI HIROYO

(54) SEMICONDUCTOR PROCESSOR AND USING METHOD THEREFOR

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor processor, which can improve a device operation rate by suppressing the strength of a reaction pipe from being lowered by gas cleaning or the like.

SOLUTION: In a CVD device, a semiconductor wafer 2 is heated by a heater, while being housed inside an almost flat reaction pipe 1 equipped with openings at both its terminals in a longitudinal direction, gases for treatment are exhausted through a gas exhaust hole 4Rb (or 4Lb) of flange 4R (or 4L), while being supplied through a gas supply hole 4La (or 4Ra) of a flange 4L (or 4R) into the reaction pipe 1, and deposition on the surface of the wafer 2 can be performed. In such a case, this CVD device forms a double pipe structure, together with the reaction pipe 1 by providing a protection pipe 5 surrounding the outer peripheral side of reaction pipe 1 over almost the full length of reaction pipe 1 in the longitudinal direction.



LEGAL STATUS

[Date of request for examination] 18. 12. 2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of

rejection or application converted
registration]
[Date of final disposal for
application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's
decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-321528

(43)公開日 平成10年(1998)12月4日

(51)Int.Cl.⁶
H 01 L 21/205
C 23 C 16/44
16/46
H 01 L 21/285
21/31

識別記号

F I
H 01 L 21/205
C 23 C 16/44
16/46
H 01 L 21/285
21/31

J

C
B

審査請求 未請求 請求項の数 5 O L (全 9 頁) 最終頁に続く

(21)出願番号

特願平9-131872

(22)出願日

平成9年(1997)5月22日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72)発明者 星野 正和

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72)発明者 大川 章

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(74)代理人 弁理士 春日 龍

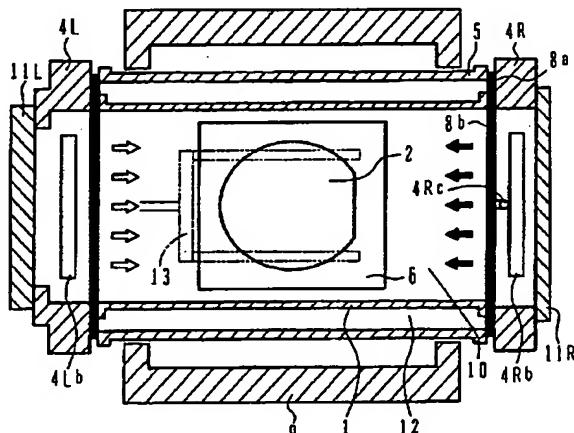
最終頁に続く

(54)【発明の名称】 半導体処理装置及びその使用方法

(57)【要約】

【課題】ガスクリーニング等による反応管の強度低下を抑制し、装置稼動率を向上させることができる半導体処理装置を提供する。

【解決手段】CVD装置は、長手方向両端に開口部を設けた略偏平な反応管1の内部に半導体ウェハ2を収納してヒータ3で加熱し、フランジ4L (又は4R) のガス供給孔4La (又は4Ra) を介して反応管1内に処理用ガスを供給しつつフランジ4R (又は4L) のガス排気孔4Rb (又は4Lb) を介して排気することにより、ウェハ2表面への成膜を行うようになっている。またこのとき、このCVD装置は、反応管1の外周側を反応管1の長手方向略全長にわたって取り囲む保護管5を設け、反応管1とともに二重管構造を形成している。



1: 反応管
2: 半導体ウェハ
4Rb, Lb: ガス排気孔
4L, R: フランジ
5: 保護管
12: 空隙室

【特許請求の範囲】

【請求項1】長手方向両端に開口部を設けた略偏平な反応管の内部に半導体ウエハを収納して加熱し、前記反応管内に処理用ガスを供給しながら排気することにより、前記半導体ウエハ表面への薄膜形成又はエピタキシャル成長を行う半導体処理装置において、前記反応管の外周側を該反応管の長手方向略全長にわたって取り囲む保護管を設け、前記反応管とともに二重管構造を形成したことを特徴とする半導体処理装置。

【請求項2】請求項1記載の半導体処理装置において、前記反応管と前記保護管との間に形成される空隙室の圧力を制御する圧力制御手段を設けたことを特徴とする半導体処理装置。

【請求項3】長手方向両端に開口部を設けた略偏平な反応管の内部に半導体ウエハを収納して加熱し、前記反応管内に反応ガスを供給しながら排気することにより、前記半導体ウエハ表面への薄膜形成又はエピタキシャル成長を行う半導体処理装置において、

前記反応管の外周側を取り囲むように配置される保護管と、

この保護管と前記反応管との間に形成される空隙室の圧力を制御する圧力制御手段とを有することを特徴とする半導体処理装置。

【請求項4】請求項2又は3記載の半導体処理装置において、前記圧力制御手段は、前記空隙室の圧力を前記反応管内の圧力と略等しくなるように制御することを特徴とする半導体処理装置。

【請求項5】ゲート電極配線のポリシリコン膜、リンドープポリシリコン膜、層間絶縁のための酸化膜・リンガラス膜、及びキャパシタ絶縁のためのSi,N_x膜のうち少なくとも1つの膜を備えた半導体素子において、

前記少なくとも1つの膜を、請求項1又は3記載の半導体処理装置を用いて成膜したことを特徴とする半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、半導体製造プロセスにおいてウエハに回路作成を行うために用いられる半導体処理装置に係わり、特に、反応管壁面に反応副生成物の付着堆積が生じ得る半導体処理装置及びその装置を用いて製造した半導体素子に関する。

【0002】

【従来の技術】従来の半導体処理装置の一例として、半導体ウエハに回路を作成するための成膜装置である熱CVD装置がある。この熱CVD装置に関する公知技術例として、例えば、特開平7-94419号公報に記載の熱CVD装置がある。この熱CVD装置は、いわゆるホットウォール式枚葉CVD装置と称されるものであり、2枚の平行平板ヒータにより形成される加熱空間内に石英などの材料からなる偏平な反応管を設け、その反応管

の長手方向両端に設けた開口部に、ウエハを出し入れする金属製のゲートバルブと反応管に対する原料ガスの導入・排気を行うフランジとを取り付けた構造となっている。

【0003】上記構成の熱CVD装置において、半導体ウエハへの成膜を繰り返すと、徐々に、反応管の壁面に反応副生成物が堆積する。この堆積膜の膜厚が許容値を超えると、温度変化による堆積膜の伸縮や振動などが原因となって、急激に反応容器の壁面から剥がれるようになる。そして、この剥がれた堆積膜は微小塵埃となり、落下して半導体ウエハの表面に付着するようになる。この微小塵埃の付着は、半導体素子回路配線の断線や短絡の原因となるため、このような現象が起こった時点で装置を停止し、反応容器内をクリーニングしなければならない。そのため、半導体素子の製造過程の装置稼働率や歩留まりが大幅に低下する。これを防止するためには、反応容器の反応管の壁面に堆積する反応副生成物の生成量を低減することが最も有効であるが、これは技術的に困難である。そこで通常、反応副生成物をできる限り剥がれにくい膜として反応管壁面に堆積させ、それらが剥がれ落ちる前に、ガスクリーニング（すなわちエッティング）や薬液洗浄で除去することにより、半導体ウエハへの微小塵埃の付着を防止している。

【0004】

【発明が解決しようとする課題】上記公知技術による熱CVD装置を、装置稼働率や歩留まりを確保した上で半導体素子の量産製造ラインで使用していくためには、上述したように、反応管壁面に堆積膜として付着させた反応副生成物を、ガスクリーニングや薬液洗浄等の方法により定期的に除去することが不可欠である。

【0005】しかしながら、このようにして堆積膜の除去を繰り返し行うと、石英材料で製作された反応管の内壁面に微小亀裂（マイクロクラック）が発生する場合がある。また、堆積膜が反応管壁面に不均一に堆積するために、堆積膜除去を行っても部分的に堆積膜が残存する場合がある。一方、上記公知技術のCVD装置では、反応管に対し大気圧による最大0.1MPa(1気圧)の圧力が常時加わるとともに、成膜中においては反応管に温度分布に起因する熱応力が発生する。このような圧力と熱応力との存在によって、前述した微小亀裂部分から反応管の割れが生じたり、残存堆積膜による膜応力が発生したりする可能性がある。そのため、反応管の強度低下を防止するのが困難となり、比較的短期間のうちに反応管を交換せざるを得なくなり、半導体素子製造工程における装置の稼働率を低下させていた。

【0006】本発明は、上記従来技術の課題を解決するものであり、ガスクリーニング等による反応管の強度低下を抑制し、装置稼働率を向上させることができる半導体処理装置及び半導体素子を提供することにある。

【0007】

【課題を解決するための手段】

(1) 上記目的を達成するために、本発明は、長手方向両端に開口部を設けた略偏平な反応管の内部に半導体ウエハを収納して加熱し、前記反応管内に処理用ガスを供給しながら排気することにより、前記半導体ウエハ表面への薄膜形成又はエピタキシャル成長を行う半導体処理装置において、前記反応管の外周側を該反応管の長手方向全長にわたって取り囲む保護管を設け、前記反応管とともに二重管構造を形成する。反応管には、成膜時ににおいて反応副生成物による薄膜が堆積する。そのため、ガスクリーニング等による反応管洗浄を繰り返し行うことが必要となり、反応管壁面には微小亀裂や部分的な残存堆積膜が存在することとなる。しかしながら、反応管と保護管とは二重管構造を形成していることにより、反応管と保護管との間に形成される空隙室（二重管構造の外側環状空間）内の圧力を圧力制御手段を用いてある程度低く維持すれば、反応管の外周に最大0.1MPaの大気圧が直接加わるのを防止できる。したがって、反応管に加わる力は成膜時における加熱時の温度分布に起因する熱応力のみとなるので、微小亀裂や残存堆積膜が存在しても、割れや膜応力の発生による反応管の強度低下が起こりにくくなる。すなわち、その分反応管の交換周期を延ばすことができる。一方、保護管には、最大0.1MPa大気圧と加熱成膜時の温度分布に起因する熱応力とが内外から加わる。しかしながら、この保護管は処理用ガスに曝されないため内壁面に膜が堆積することではなく、ガスクリーニング等による管洗浄が不要である。したがって、微小亀裂や残存堆積膜の存在による強度低下は発生しないので、交換周期は長い。以上のように反応管も保護管も交換周期を長くすることができるので、半導体処理装置を長期安定的に使用可能になり、半導体素子製造工程における装置稼動率を向上させることができる。

【0008】(2) 上記(1)において、好ましくは、前記反応管と前記保護管との間に形成される空隙室の圧力を制御する圧力制御手段を設ける。

【0009】(3) また上記目的を達成するために、本発明は、長手方向両端に開口部を設けた略偏平な反応管の内部に半導体ウエハを収納して加熱し、前記反応管内に反応ガスを供給しながら排気することにより、前記半導体ウエハ表面への薄膜形成又はエピタキシャル成長を行う半導体処理装置において、前記反応管の外周側を取り囲むように配置される保護管と、この保護管と前記反応管との間に形成される空隙室の圧力を制御する圧力制御手段とを有する。

【0010】(4) 上記(2)又は(3)において、また好ましくは、前記圧力制御手段は、前記空隙室の圧力を前記反応管内の圧力と略等しくなるように制御する。

【0011】(5) また上記目的を達成するために、本発明はゲート電極配線のポリシリコン膜、リンドープボ

リシリコン膜、層間絶縁のための酸化膜・リンガラス膜、及びキャバシタ絶縁のためのSi,N_x膜のうち少なくとも1つの膜を備えた半導体素子において、前記少なくとも1つの膜を、請求項1又は3記載の半導体処理装置を用いて成膜する。

【0012】

【発明の実施の形態】以下、本発明の一実施形態を図面を参照しつつ説明する。この実施形態は、ホットウォール式枚葉CVD装置の実施形態である。

【0013】まず最初に、本実施形態によるCVD装置が設けられるCVDシステムの全体構成を表す配置図を図2に示す。この図2において、CVDシステムは、搬送室101を中心とし、2つの反応室102、102、2つの冷却室103、103、2つのカセット室104、104から構成されている。上記構成において、まず、搬送室101内の搬送用フォーク（図示せず）を用いて、カセット室104内に予め配置されていたウエハが反応室102内に導入され、薄膜形成（以下適宜、成膜という）が行われる。そして、反応室102で成膜処理が終了すると、反応室102からウエハが取り出され、冷却室103内でそのウエハが冷却された後、カセット室104に戻される。

【0014】本実施形態によるCVD装置は、上記構成の反応室102内にそれぞれ配置され、成膜処理を行いうるものである。以下、その詳細構造を図1～図9を用いて説明する。図1は、本実施形態によるCVD装置の要部構造を表す水平断面図であり、図3は、図1に示した構造の側断面図である。図1及び図3において、本実施形態によるCVD装置は、長手方向両端に開口部を設けた略偏平な反応管1の内部に半導体ウエハ2を収納してヒータ3で加熱し、フランジ4L（又は4R）のガス供給孔4La（又は4Ra）を介して反応管1内に処理用ガスを供給しつつフランジ4R（又は4L）のガス排気孔4Rb（又は4Lb）を介して排気することにより、ウエハ2表面への成膜を行うようになっている。またこのとき、このCVD装置は、反応管1の外周側を反応管1の長手方向略全長にわたって取り囲む保護管5を設け、反応管1とともに二重管構造を形成している。

【0015】反応管1は、石英材料で構成され、横断面形状が略偏平な矩形となっている。またこの反応管1は、長手方向の軸線をほぼ水平にして配置されており、その内部には、ウエハ2を載置するための矩形のウエハ支持板6がほぼ水平に上下2層に配置されている。各ウエハ支持板6には、それぞれ1枚のウエハ2が載置可能となっており、装置全体として1枚あるいは2枚のウエハ2が同時に成膜処理可能となっている。なお、このウエハ支持板6は、図1に示されるようにフォーク13が動く（後述）領域を切り欠いた形状となっている。一方、保護管5は、横断面形状が反応管1と同様の略偏平な矩形となっており、長手方向の軸線をほぼ水平にして

配置されている。またこの保護管5は、反応管1同様、その長手方向両端には開口部が形成されている。そしてこれら保護管5及び反応管1の両端開口部は、シール用のOリング8a, 8bを介しフランジ4L, 4Rにそれぞれ結合されている。

【0016】ヒータ3は、略平板状形状を備えており、保護管5の上下に、反応管1及び保護管5を挟んで対向するように配置され、加熱炉を形成している。またこのヒータ3は、複数に分割された構造となっており、ウエハ2の温度分布が均一になるように、図示しない加熱制御手段によって各々の発熱量が調整されるようになっている。このヒータ3の外周側には断熱材9が設けられており、周囲への放熱を減らし、消費電力を低減できるよう配慮されている。

【0017】フランジ4L, 4Rのガス供給孔4La, 4Raは、フランジ4L, 4Rの肉厚内に、反応管1の軸線と垂直な方向でかつ上方に向かって形成されており、反応管1内に形成される反応室10に処理用ガス（すなわち成膜ガスやクリーニングガス、詳細は後述）を導入するようになっている。同様に、ガス排気孔4Lb, 4Rbは、反応管1の軸線と垂直な方向にかつ下方に向かって形成されており、反応室10から処理用ガスを排気するようになっている。また、フランジ4L, 4Rの軸方向外側には、そのフランジ4L, 4Rに形成された中心開口に当面するようにゲートバルブ11L, 11Rが結合されている。さらに、フランジ4Lには、反応管1と保護管5との間に形成され両端をフランジ4L, 4bで仕切られる空隙室12（二重管構造の外側環状空間）にガスを供給するためのガス供給孔4Lcが形成されており、フランジ4Rには、空隙室12からガスを排気するためのガス排気孔4Rcが形成されている。

【0018】上記図1及び図3の構造における圧力制御を行う構成を表す説明図を図4に示す。この図4において、反応管1内の反応室10に処理用ガス（成膜ガスやクリーニングガス）を流す系統（以下適宜、反応室系統という）は、上記図1及び図3の構造のうちガス供給孔4La, 4Ra及びガス排気孔4Lb, 4Rbに接続されており、ガス源13、マスフローコントローラ14、真空ポンプ15、及び圧力制御部16を備えている。また同様に、反応管1と保護管5との間の空隙室12にガスを流す系統（以下適宜、空隙室系統という）は、上記図1及び図3の構造のうちガス供給孔4Lc及びガス排気孔4Rcに接続されており、ガス源17、マスフローコントローラ18、真空ポンプ19、及び圧力制御部20を備えている。

【0019】反応室系統においては、ガス源13から導かれたガスは、マスフローコントローラ14、切換バルブ21（又は22）、及びガス供給孔4La（又は4Ra）を介し反応室10に流入し、さらにガス排気孔4Lb（又は4Rb）から流出する。その後、圧力制御バル

ブ23（又は24）を経て真空ポンプ19へ導かれる（白矢印又は黒矢印参照）。なおこのとき、白矢印の向きにガスを流すか黒矢印の向きにガスを流すかは、切換バルブ21, 22及び圧力制御バルブ23, 24の開閉によって決定されるが、この動作は、圧力制御部16の制御信号に応じて行われる。またこのとき、反応室10の圧力が圧力計25で検出され、その検出信号が圧力制御部16に入力されている（但しこの検出信号は、空隙室系統の圧力制御部20にも入力されている）。そして圧力制御部16は、この圧力計25からの検出信号に基づき、反応室10の圧力が処理に最適な所定の値になるようにマスフローコントローラ14、切換バルブ21（又は22）及び圧力制御バルブ23（又は24）を制御するようになっている。

【0020】一方、空隙室系統においては、ガス源17から導かれたガスは、マスフローコントローラ18及びガス供給孔4Lcを介し空隙室12に流入し、さらにガス排気孔4Rcから流出する。その後、圧力制御バルブ26を経て真空ポンプ19へ導かれる。このとき、空隙室12の圧力が圧力計27で検出され、その検出信号が圧力制御部20に入力されている。そして圧力制御部20は、この圧力計27の検出信号と、前述した圧力計25からの検出信号に基づき、反応室10の圧力と空隙室12の圧力との差異を求め、これらがほぼ等しくなるようにマスフローコントローラ18及び圧力制御バルブ26を制御するようになっている。なお、以上のうち、圧力制御部20、マスフローコントローラ18、及び圧力制御バルブ26が、反応管1と保護管5との間に形成される空隙室12の圧力を、反応管1内の圧力と略等しくなるように制御する圧力制御手段を構成する。

【0021】次に、上記構成における成膜方法の手順について説明する。なお、準備工程として、予め圧力制御部20で反応室10の圧力と空隙室12の圧力がほぼ等しくなるように制御した後、この状態を維持しつつ、以下の工程を実施する。まず、一方のゲートバルブ11L（又は11R、以下同様）を開放しておき、1枚又は2枚のウエハ2をフォーク13に載せ、ゲートバルブ11Lを通して反応管1の内部に水平状態で挿入する。そして、挿入したウエハ2を、フォーク13からウエハ支持板6に移し替えた後、フォーク13を引き抜き、ゲートバルブ11Lを閉める。その後、載置されたウエハ2をヒータ3により加熱すると同時に、圧力制御部16で圧力を調整した成膜ガスを、ガス供給孔4La（又は4Ra）から供給すると共に、成膜ガスが供給される側とウエハ2を挟んで反対側のガス排気孔4Rb（又は4Lb）から排気し、成膜ガスをウエハ2の表面にほぼ平行に図中白矢印（又は黒矢印）のように流す。これにより、反応管1内を所望の温度（例えば1200°C以下）と圧力（例えば数Pa～0.1MPa）にし、ウエハ2の表面に熱反応により成膜を行う。成膜処理が終了した

ら、ゲートバルブ11Lを再び開放し、これを通してフォーク13を反応管1の内部に挿入し、ウェハ2を支持板6からフォーク13に移し替えた後、フォーク13を引き抜いてウェハ2を反応管1から取り出す。

【0022】ところで、上記のようなウェハ2への成膜処理を繰り返すと、徐々に、反応管1の内壁面には、ウェハ2の表面に成膜される膜と同種の膜（反応副生成物）が不均一に堆積されて行く。この壁面堆積膜が許容値を越えると、温度変化による堆積膜の伸縮や振動などが原因となって、急激に壁面から剥がれるようになる。そして、この剥がれた膜が微小塵埃となり、落下してウェハ2の表面に異物として付着するようになる。この微小塵埃の付着は半導体素子回路配線の断線や短絡の要因となることから、このような現象が起こった時点でCVD装置を停止し反応管1内をクリーニングしなければならないが、これによって半導体素子の製造過程の歩留まりや装置稼働率の大幅な低下を招く。そこで、この歩留まり・装置稼働率の低下を防止するために、堆積膜をできる限り剥がれにくい膜として反応管1の壁面に堆積させ、それらが剥がれ落ちる前にガスクリーニング（すなわちエッティング）等で除去することにより、ウェハ2への微小塵埃の付着を防止する。

【0023】このガスクリーニングの手順を以下に説明する。なお、この手順も、上記成膜手順と同様、準備工程として、圧力制御部20で反応室10の圧力と空隙室12の圧力がほぼ等しくなるように制御した後、この状態を維持しつつ、以下の工程を実施する。すなわち、ガス供給孔4La（又は4Ra）から、クリーニングガス（あるいはクリーニングガスをAr, N₂等のキャリアガスで希釈したもの）を供給するとともに、ガスが供給される側とウェハ2を挟んで反対側のガス排気孔4Rb（又は4Lb）から排気し、クリーニングガスをウェハ2の表面にほぼ平行に流す。これにより、反応管1内の壁面堆積膜をガス熱反応エッティングによりクリーニングする。以上のようなクリーニング手順を所定期間ごとに適宜繰り返す。なお、反応管1は、微小亀裂の発生具合や残存堆積膜の量が所定の管理値を超えた時点で、新たな反応管1と交換する（但し、後述するように、これら微小亀裂や残存堆積膜が強度低下をもたらす程度が小さくなることから、この管理値は従来値よりも大きくなり得る）。

【0024】上記構成及び動作である本実施形態の作用効果を以下に説明する。すなわち、前述したように、成膜手順において反応管1には薄膜が堆積することからガスクリーニング等を繰り返し行うが、それによって、反応管1内壁面には微小亀裂や部分的な残存堆積膜が存在することとなる。しかしながら、本実施形態においては、反応管1と保護管5とは二重管構造を形成し、かつ反応管1と保護管5との間に形成される空隙室12の圧力を、圧力制御手段（圧力制御部20、マスフローコン

トローラ18、及び圧力制御バルブ26）を用いて反応室10とほぼ等しい低い圧力に維持するので、反応管1の外周に最大0.1MPaの大気圧が直接加わるのを防止できる。したがって、反応管1に加わる力は成膜手順におけるヒータ3加熱時の温度分布に起因する熱応力のみとなるので、微小亀裂や残存堆積膜が存在しても、割れや膜応力の発生による反応管1の強度低下が起こりにくくなる。すなわち、その分反応管1の交換周期を延ばすことができる。具体的には、従来例えれば1ヶ月程度だったものを約3ヶ月程度まで延ばすことができる。一方、保護管5には、最大0.1MPa大気圧と加熱成膜時の温度分布に起因する熱応力とが加わる。しかしながら、この保護管5は成膜ガスに曝されることがないため内壁面に膜が堆積することなく、ガスクリーニング等は行わない。したがって、微小亀裂や残存堆積膜の存在による強度低下は発生しないので、交換周期を長くできる。以上のように反応管1も保護管5も交換周期を長くすることができるので、CVD装置を長期安定的に使用可能になり、半導体素子製造工程における装置稼働率を向上させることができる。また、上述のように反応管1には熱応力のみが作用するため、ある程度長い交換周期を確保できる範囲で反応管1の肉厚を薄くすることもできる。この場合、反応管1自体の製作コストを低減できる効果もある。さらに、従来は、前述した微小亀裂や残存堆積膜の存在による強度低下のために、場合によっては反応管1を十分にクリーニングするのが困難となり、異物付着によって歩留まりが低下する可能性があったが、本実施形態によれば強度低下が抑制されるので、常に反応管1に対し十分にガスクリーニング等を行うことができる。これによって、半導体ウェハ2への異物付着を確実に低減できるので、歩留まりを確実に向上できる。

【0025】なお、上記実施形態においては、圧力制御部20、マスフローコントローラ18、及び圧力制御バルブ26で、空隙室12の圧力と反応室10の圧力とが略等しくなるように制御したが、これに限られない。すなわち、空隙室12の圧力を、反応室10の圧力よりも高くなるか低くなる任意の圧力になるように制御しても良い。この場合も、同様の効果を得る。

【0026】また、上記実施形態においては、反応室系統と空隙室系統とが、それぞれ別々に真空ポンプ15.19を備えていたが、これに限らず、例えば図5に示すように、圧力制御バルブ23, 24及び26の下流側で各排気側配管を接続して1本化し、共通の真空ポンプ28で吸引してもよい。この場合も、同様の効果を得る。

【0027】さらに、上記実施形態においては、保護管5の形状は、反応管1と同様の矩形横断面形状を備えた偏平管となっていたが、これに限られない。この保護管5の形状に関する変形例を図6～図9により説明する。

(1) 第1の変形例

この変形例は、保護管5の内部に補強用のリブを設けるものである。このCVD装置の要部構造を表す水平断面図を図6に、この図6に示した構造の側断面図を図7に示す。なお上記実施形態と同等の部材には同一の符号を付している。図6及び図7に示されるように、本変形例においては、周方向全周に延びるリブ5Aが保護管5の内周面の長手方向複数箇所（この場合5箇所）に形成されている。これにより、保護管5の外壁面に作用する大気圧力に対する機械強度を高める効果がある。

【0028】(2) 第2の変形例

この変形例は、保護管5の横断面形状を変えたものである。このCVD装置の要部構造を表す水平断面図を図8に、この図8に示した構造の側断面図及びA-A断面における横断面図（但しウェハ2を除く）を図9に示す。なお上記実施形態と同等の部材には同一の符号を付している。図8及び図9に示されるように、本変形例においては、保護管5の横断面形状が略梢円となっている。これによっても、上記(1)と同様、保護管5の外壁面に作用する大気圧力に対する機械強度を高める効果がある。また、この機械強度を高めるためには横断面形状を真円形とすることも考えられるが、本変形例のように梢円形とすることにより装置全体を小型化できるという効果もある。

【0029】また、上記実施形態は、枚葉CVD装置の実施形態であったが、これに限らず、他のCVD装置に対して本発明の概念を適用してもよく、この場合も同様の効果を得る。また本発明の適用対象は、CVD装置に限らず、例えばウェハ2の表面にエピタキシャル成長を行わせるエピタキシャル成長装置等、他の半導体処理装置に適用してもよく、これらの場合も同様の効果を得る。

【0030】さらに、その他の実施形態として、上記実施形態のCVD装置を用いて製作した、ゲート電極配線のポリシリコン膜、リンドープポリシリコン膜、層間絶縁膜のための酸化膜・リングガラス膜、及びキャパシタ絶縁のためのSi,N_x膜等を備えた半導体素子があり、この場合、ウェハ2への塵埃の付着がきわめて少ない良好*

*な品質を確保することができる。

【0031】

【発明の効果】本発明によれば、反応管も保護管も交換周期を長くすることができるので、半導体処理装置を長期安定的に使用可能になり、半導体素子製造工程における装置稼動率を向上させることができる。また、反応管には熱応力のみが作用するため、ある程度長い交換周期を確保できる範囲でその肉厚を薄くすることもできる。この場合、反応管自体の製作コストを低減できる効果もある。

【図面の簡単な説明】

【図1】本発明の一実施形態によるCVD装置の要部構造を表す水平断面図である。

【図2】図1のCVD装置が適用される、CVDシステムの全体構成を表す配置図である。

【図3】図1に示した構造の側断面図である。

【図4】図1及び図3の構造における圧力制御を行う構成を表す説明図である。

【図5】図5の構成の変形例を表す説明図である。

【図6】保護管形状に関する第1の変形例の要部構造を表す水平断面図である。

【図7】図6に示した構造の側断面図である。

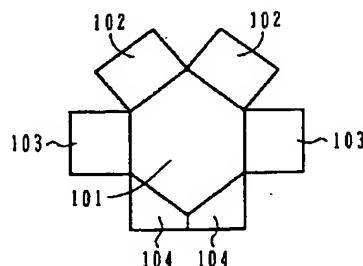
【図8】保護管形状に関する第2の変形例の要部構造を表す水平断面図である。

【図9】図8に示した構造の側断面図である。

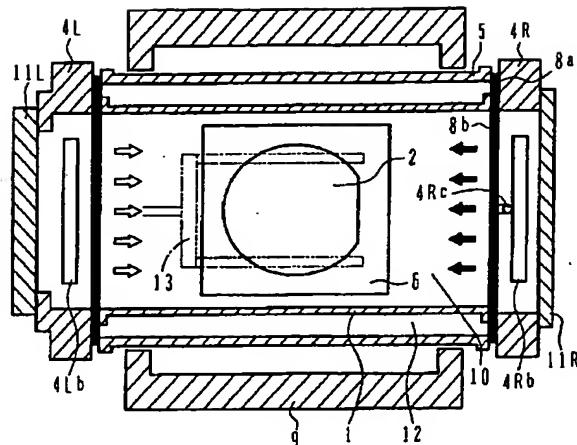
【符号の説明】

1	反応管
2	半導体ウェハ
3	ヒータ
4 L, R	フランジ
4 La, Ra	ガス供給孔
4 Rb, Lb	ガス排気孔
5	保護管
12	空隙室
18 段)	マスフローコントローラ（圧力制御手段）
20	圧力制御部（圧力制御手段）
26	圧力制御バルブ（圧力制御手段）

【図2】

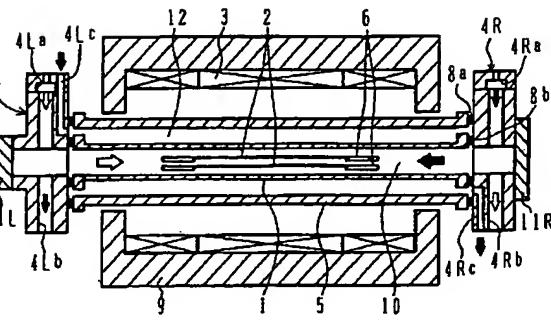


【図1】



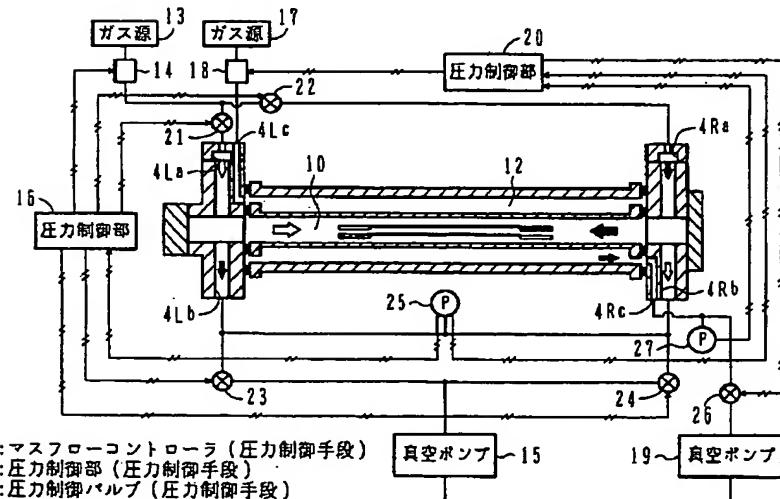
1:反応管
2:半導体ウェハ
3:ヒータ
4L, R: フランジ
4Rb, Lb: ガス排気孔
5:保護管
12:空隙室

【図3】



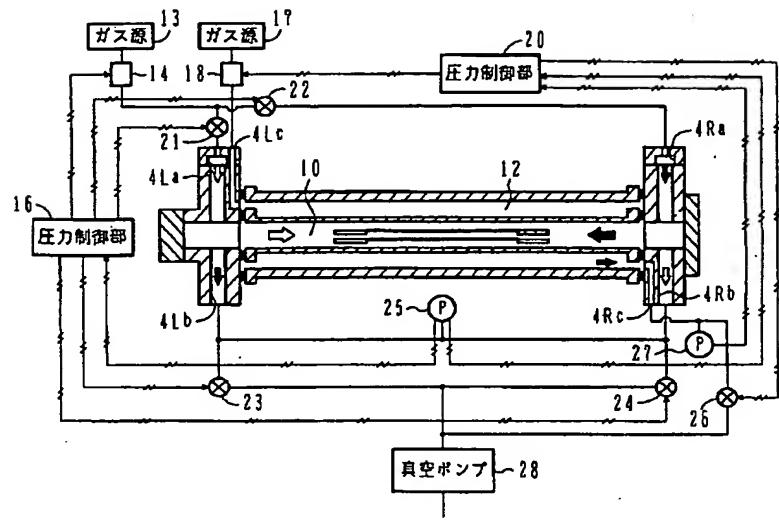
3:ヒータ
4La, Ra: ガス供給孔

【図4】

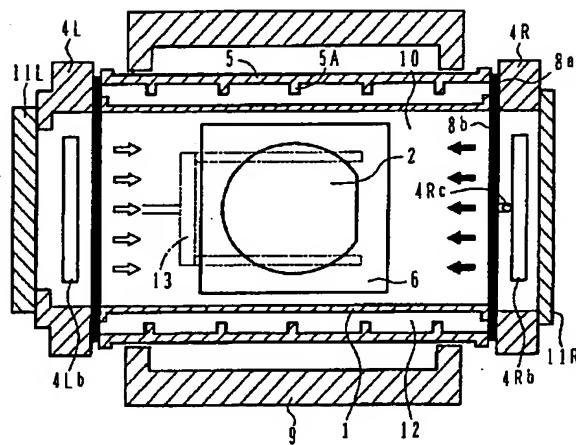


18:マスフローコントローラ(圧力制御手段)
20:圧力制御部(圧力制御手段)
26:圧力制御バルブ(圧力制御手段)

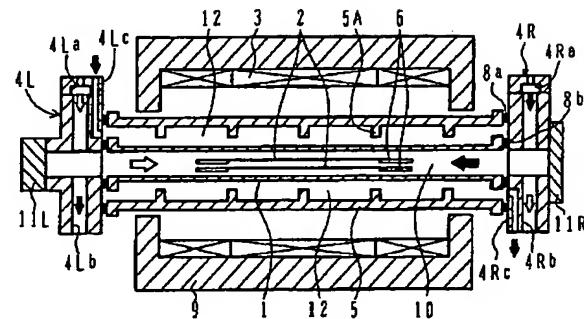
【図5】



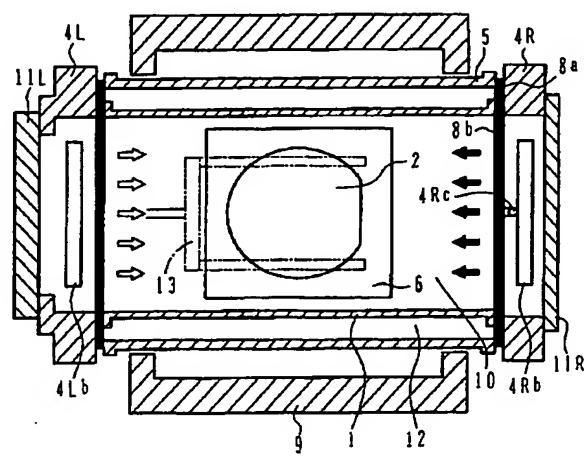
【図6】



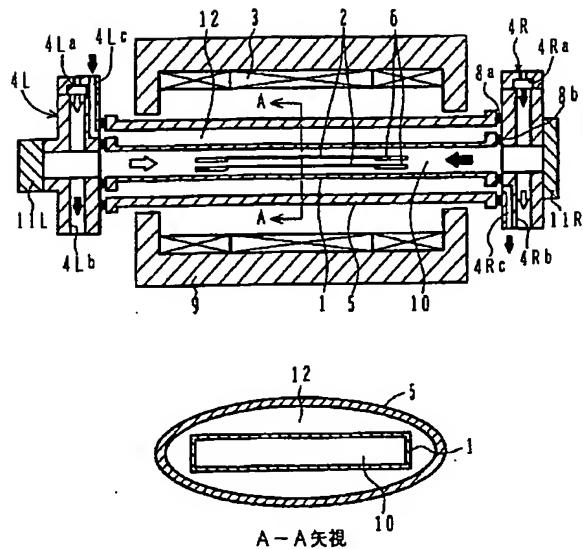
【図7】



【図8】



【図9】



フロントページの続き

(51) Int.CI.⁶
H 0 1 L 21/3205

識別記号

F I
H 0 1 L 21/88

P

(72)発明者 池田 文秀
東京都中野区東中野三丁目14番20号（P'
S 東中野ビル） 国際電気株式会社内

(72)発明者 西内 浩世
東京都小平市上水本町五丁目20番地1号
株式会社日立製作所半導体事業部内